

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月26日

出願番号

Application Number: 特願2002-245670

[ST.10/C]:

[JP2002-245670]

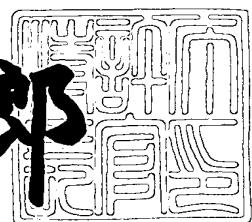
出願人

Applicant(s): 松下電器産業株式会社

2003年 5月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3033609

【書類名】 特許願

【整理番号】 R6991

【提出日】 平成14年 8月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3205

H01L 21/304

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 三河 巧

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 夏目 進也

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 十代 勇治

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子及びその製造方法

【特許請求の範囲】

【請求項1】 基板上に、第1の絶縁層を形成し、前記第1の絶縁層中にコンタクトプラグを形成し、前記第1の絶縁層とコンタクトプラグの上に、導電層を形成する工程と、

前記導電層をパターニングして、容量素子用電極を形成する工程と、

前記第1の絶縁層及び前記容量素子用電極上に第2の絶縁層を形成する工程と、

前記容量素子用電極上の前記第2の絶縁層に凹部を形成する工程と、

前記第2の絶縁層を研磨して平坦化して前記容量素子用電極を露出させる工程とを含むことを特徴とする容量素子の製造方法。

【請求項2】 前記導電層をパターニングして、容量素子用電極と共に金属配線を形成する工程を含む請求項1に記載の容量素子の製造方法。

【請求項3】 前記第2の絶縁層の凹部を、前記容量素子用電極上にのみ形成する請求項2に記載の容量素子の製造方法。

【請求項4】 前記導電層の表面が、Pt、Ir、Ru、それら金属の合金膜、又はそれら金属の酸化物である請求項1～3のいずれかに記載の容量素子の製造方法。

【請求項5】 前記第2の絶縁層に凹部を形成するにあたり、ドライエッチングを用いる請求項1～4のいずれかに記載の容量素子の製造方法。

【請求項6】 前記第2の絶縁層に形成する凹部の深さを前記容量素子用電極の膜厚とほぼ同等とする請求項1～5のいずれかに記載の容量素子の製造方法。

【請求項7】 前記第2の絶縁層に凹部を形成する際に、前記容量素子用電極を露出させる請求項1～5のいずれかに記載の容量素子の製造方法。

【請求項8】 前記第2の絶縁層の凹部におけるテーパー角を90°未満とする請求項1～5のいずれかに記載の容量素子の製造方法。

【請求項9】 前記第2の絶縁層を、SiO₂を用い、オゾンとTEOSを用いた常圧CVD法で成膜する請求項1～8のいずれかに記載の容量素子の製造方

法。

【請求項10】 前記第2の絶縁層における凹部の面積を、その下層の容量素子用電極の面積より大きくする請求項1～9のいずれかに記載の容量素子の製造方法。

【請求項11】 前記第2の絶縁層に凹部を形成するにあたり、前記容量素子用電極上の領域が複数個含まれるようにする請求項1～8のいずれかに記載の容量素子の製造方法。

【請求項12】 基板上に形成された下部電極と、前記下部電極上に形成された第2の絶縁層と、前記下部電極が容量規定口になるように前記下部電極上に形成された上部電極を有する容量素子であって、

前記下部電極は第1の絶縁層中に埋め込まれ、前記下部電極と第1の絶縁層の表面は研磨されて平坦化され、前記容量素子を複数個含む容量素子群の面積が $10,000\sim100,000\mu\text{m}^2$ であることを特徴とする容量素子。

【請求項13】 基板上に形成された下部電極と、前記下部電極上に形成された第2の絶縁層と、前記下部電極が容量規定口になるように前記下部電極上に形成された上部電極を有する容量素子であって、

前記下部電極は第1の絶縁層中に埋め込まれ、前記下部電極と第1の絶縁層の表面は研磨されて平坦化され、前記容量素子を複数個含んだ容量素子群が形成され、隣接する前記容量素子群間の間隔が $10\sim100\mu\text{m}$ であることを特徴とする容量素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高誘電体又は強誘電体を容量絶縁膜とする容量素子及びその製造方法に関する。

【0002】

【従来の技術】

現在、容量素子の一種である強誘電体メモリにおいて、上部電極より下部電極の大きな、いわゆるプレーナ型構造を使用した $1\sim64\text{kbit}$ の容量のものが

量産化されている。そして、上部電極より下部電極の小さな、いわゆるスタック型構造を使用した256 kbit～4 Mbitの大容量のものが開発の中心となっている。このスタック型構造の強誘電体メモリにおいて、集積度の大幅な向上、不揮発性メモリの信頼性の向上に対する期待が高まっている。

【0003】

従来のスタック型構造の強誘電体メモリでは、例えば、特開2000-138849号公報に開示されているように、下層の凹凸に影響されることなく強誘電体膜を形成するため、CMP (Chemical Mechanical Polishing; 化学機械的研磨法) により、絶縁膜の表面の凹凸を平坦化することで、信頼性の高い強誘電体メモリ及びその製造方法を実現している。

【0004】

図10に、従来の強誘電体メモリの製造工程の断面図（メモリセルアレイ部）を示す。以下、図10を参照しながら、従来の強誘電体メモリの製造方法について説明する。

【0005】

まず、図10(a)に示すように、半導体基板10上に、分離領域1を形成し、分離領域1の間に高濃度の不純物拡散層2を形成する。そして、分離領域1と不純物拡散層2の上に、層間絶縁膜4を形成し、層間絶縁膜4中に不純物拡散層2と電気的に接続したコンタクトプラグ3を形成する。さらに、層間絶縁膜4とコンタクトプラグ3の上に、第1の導電膜5（窒化チタンバリア層と白金膜の積層体等）を形成する。

【0006】

次に、第1の導電膜5上にレジストパターンを形成し、図10(b)に示すように、レジストパターンをマスクとしてドライエッティングにより第1の導電膜5をパターニングし、コンタクトプラグ3上に下部電極6を形成する。

【0007】

次いで、図10(c)に示すように、下部電極6と層間絶縁膜4をシリコン酸化膜(SiO₂)で被覆し、ウエハ全面に埋め込み用の絶縁膜8を形成する。続いて、図10(d)に示すように、CMPにより、絶縁膜8を研磨してその表面

を平坦化し、さらに、図10（e）に示すように、絶縁膜8と下部電極6を両者の表面が面一となるまで研磨する。続いて、図10（f）に示すように、その上に、容量絶縁膜となる強誘電体膜9を形成し、さらにその上に、第2の導電膜20（白金膜等）を形成する。

【0008】

そして、第2の導電膜20上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第2の導電膜20と強誘電体膜9をそれぞれパターニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、保護膜形成工程を経て、強誘電体メモリが完成する。

【0009】

この強誘電体メモリでは、下部電極6の面積がその上層の強誘電体および上部電極の面積よりも小さく、キャパシタの容量は、下部電極6で決定されることとなり、図10（f）において、下部電極6が容量規定口となる。ここで、「容量規定口」とは、キャパシタの容量（面積）を決定する電極を意味する。

【0010】

また、図10（f）に示す構造では、強誘電体膜9が、下部電極6による凹凸がない平坦な面に形成されているため、その膜質が良好なものとなる。

【0011】

上記した製造工程では、ウエハ全面で下部電極6を一様に露出させ、強誘電体メモリの容量特性を変動させる研磨残りをなくすため、規定量より余分に研磨を行う、いわゆるオーバー研磨を行う必要がある。

【0012】

【発明が解決しようとする課題】

しかし、下部電極6の表面には、Pt等の研磨され難い貴金属系材料が形成されているため、CMPによる平坦化によって、下部電極6の近傍にリセスが生じ、下部電極6が僅かながら凸形状となる。そして、オーバー研磨を行うと、下部電極6に研磨応力が集中し、下部電極6が剥離したり、下部電極6にいわゆるスクランチが発生することもあった。このため、研磨残りがなく、かつ、スクランチ

チが発生しないように、研磨時間を最適化する必要があり、研磨条件の設定の自由度（ウィンドウ）を狭める要因となっていた。

【0013】

発明者等の検討の結果、このスクラッチは、下部電極6が集積したメモリセルアレイ部等の、配線パターン密度の高い領域よりも、むしろ、孤立した金属配線や、寸法マーク、アライメントマーク、重ね合わせマーク等の孤立パターンの、配線パターン密度の低い領域で優先して発生することが発見された。

【0014】

図11に、従来の強誘電体メモリの製造工程の断面図（金属配線部）を示す。図11における(a)～(e)の工程は、図10における(a)～(e)の工程にそれぞれ対応し、各工程は同時に進行している。

【0015】

以下、図11を参照しながら、スクラッチの発生プロセスについて説明する。

【0016】

まず、図11(a)に示すように、半導体基板10上に、高濃度の不純物拡散層2を形成する。そして、不純物拡散層2上に、層間絶縁膜4を形成し、層間絶縁膜4上に、第1の導電膜5（窒化チタンバリア層と白金膜の積層体等）を形成する。

【0017】

次に、第1の導電膜5上にレジストパターンを形成し、図11(b)に示すように、レジストパターンをマスクとしてドライエッチングにより第1の導電膜5をパターニングし、金属配線7を形成する。

【0018】

次いで、図11(c)に示すように、金属配線7と層間絶縁膜4をシリコン酸化膜(SiO₂)で被覆し、ウエハ全面に埋め込み用の絶縁膜8を形成する。続いて、図11(d)に示すように、CMPにより、絶縁膜8を研磨してその表面を平坦化する。

【0019】

この際、下部電極6が集積したメモリセルアレイ部等の、配線パターン密度の

高い領域より、孤立した金属配線等の、配線パターン密度の低い領域の方が、研磨される絶縁膜8の体積が小さくなるため、研磨速度が相対的に速くなつて、段差緩和が促進される。これにより、金属配線7の方が下部電極6よりも早く絶縁膜8から外に露出する。さらに、絶縁膜8と下部電極6の表面が面一となるまでオーバー研磨する。

【0020】

このとき、既に露出した金属配線7の近傍にリセスが生じ、金属配線7が凸形状となる。そして、金属配線7に研磨応力が集中し、図11(e)に示すように、金属配線7が剥離する。この剥離した金属配線7がスクラッチの原因となり、さらには、金属配線6の剥離やスクラッチの発生の連鎖が起こる。なお、このような現象は、メモリセルの密度や、ウエハ上における占有面積の相違によっても生じる。

【0021】

図12に、アレイ面積の異なるメモリセルアレイ部をCMPにより研磨した状態を模式的に示す。下部電極6の表面を露出させる場合、アレイ面積の大きなメモリセルアレイ部と、小さなメモリセルアレイ部が混在していると、図12(a)に示すように、アレイ面積の大きなメモリセルアレイ部において、下部電極6の表面が露出したとき、図12(b)に示すように、アレイ面積の小さなメモリセルアレイ部では、下部電極6の近傍にリセスが生じ、下部電極6が剥離する。

【0022】

また、図12(c)に示すように、下部電極6が形成されていない領域（以下、周辺回路部という。）においては、下層に下部電極6が形成されていない領域における平坦な絶縁膜8（以下、ベタ膜という。）に対する研磨速度が支配的となり、グローバル段差（ウエハ面における残膜の最大膜厚と最小膜厚の差をいう。）が大きくなる。

【0023】

以下、アレイ面積が大、小のメモリセルアレイ部、及び周辺回路部における研磨の状態をモデルとして、この現象を定量的に説明する。

【0024】

図13のグラフは、研磨時間を横軸に、下部電極（高さ：300 nm）上に形成された、絶縁膜（高さ：400 nm）のCMPによる研磨後の残膜の膜厚を、アレイ面積が大、小のメモリセルアレイ部、及び周辺回路部に分けて、縦軸にとったものである（但し、周辺回路部では、層間絶縁膜4上の残膜の膜厚を示す）。これより周辺回路部では、ベタ膜の研磨速度（200 nm／分）で一様に研磨されるのに対し、下層に下部電極6が形成された強誘電体メモリセルアレイ部では、段差緩和が促進される部分とベタ膜の研磨速度で研磨される部分から構成されることが判る。

【0025】

図13から判るように、全ての下部電極6を露出させるためには、研磨時間を、アレイ面積の大きなメモリセルアレイ部における残膜の厚さが0 nmとなる90秒（1.5分）に設定する必要がある。その場合、アレイ面積の小さなメモリセルアレイ部においては、0.5分オーバー研磨され、下部電極6の近傍に100 nm（=200 nm／分×0.5分）のリセスが発生する。これは下部電極6の剥離を促す要因となる。一方、周辺回路部では、300 nm（=200 nm／分×1.5分）研磨される。したがって、図12中に示した絶縁膜の残膜の厚さa、b、cは、それぞれa=300 nm、b=200 nm、c=100 nmとなり、この場合、グローバル段差は、a-c=200 nmと計算される。

【0026】

以上より、アレイ面積が異なるメモリセルアレイ部と周辺回路部が混在すると、段差緩和が促進される領域とベタ膜の研磨速度で研磨される領域が存在し、ウエハ全面で研磨速度が不均一となり、この結果、グローバル段差が大きくなり、研磨残りの解消とスクラッチの発生阻止の両立が困難となることが判る。上述した研磨残り、下部電極の剥離、及びスクラッチは、強誘電体メモリの特性面で、いわゆるビット不良の原因となり、生産歩留まりが低下する。

【0027】

また、強誘電体メモリは、あるデータを一定期間内保存し、必要なときに読み出す不揮発性メモリであることから、強誘電体メモリセルは均一に作製されていることが好ましい。この観点から、リセスによる強誘電体膜の膜厚のバラツキも

、データの保持信頼性や強誘電体メモリ特性に大きな影響を与えるため、極力なくす必要がある。

【0028】

また、強誘電体メモリにおいて、メモリセルアレイ部とそれ以外の部分（例えば、F e R A M混載システムL S Iでは周辺のロジック回路に相当する。）との間のグローバル段差は、配線工程におけるリソD O F（Depth of Focus [焦点深度]の略）不足につながり、特性面では配線間ショートや配線抵抗のバラツキ等の原因となり、生産歩留まりに直接影響を与える。

【0029】

本発明の目的は、研磨残り、下部電極の剥離、及びスクラッチの発生がなく、データの保持信頼性が優れたものとなり、メモリ特性が安定する容量素子、及びグローバル段差を低減させ、生産歩留まりが良好となる容量素子の製造方法を提供することにある。

【0030】

【課題を解決するための手段】

上記目的を達成するため、本発明の容量素子の製造方法は、基板上に、第1の絶縁層を形成し、第1の絶縁層中にコンタクトプラグを形成し、第1の絶縁層とコンタクトプラグの上に、導電層を形成する工程と、その導電層をパターニングして、容量素子用電極を形成する工程と、第1の絶縁層及び容量素子用電極上に第2の絶縁層を形成する工程と、容量素子用電極上の第2の絶縁層に凹部を形成する工程と、第2の絶縁層を研磨して平坦化して容量素子用電極を露出させる工程とを含む。

【0031】

この構成により、容量素子の製造にあたり、凹部の開口部分、下部電極上における絶縁膜の研磨が省略でき、研磨時間が短縮される。さらに、凹部において、研磨パッドと絶縁膜の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減すること

ができる。

【0032】

上記目的を達成するため、本発明の容量素子は、基板上に形成された下部電極と、下部電極上に形成された第2の絶縁層と、下部電極が容量規定口になるように下部電極上に形成された上部電極を有する。下部電極は第1の絶縁層中に埋め込まれ、下部電極と第1の絶縁層の表面は研磨されて平坦化され、容量素子を複数個含む容量素子群の面積が $10,000\sim100,000\mu\text{m}^2$ である。

【0033】

この構成により、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【0034】

また、上記目的を達成するため、本発明の容量素子は、基板上に形成された下部電極と、下部電極上に形成された第2の絶縁層と、下部電極が容量規定口になるように下部電極上に形成された上部電極を有する。下部電極は第1の絶縁層中に埋め込まれ、下部電極と第1の絶縁層の表面は研磨されて平坦化され、容量素子を複数個含んだ容量素子群が形成され、隣接する容量素子群間の間隔が $10\sim100\mu\text{m}$ である。

【0035】

この構成により、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【0036】

【発明の実施の形態】

本発明によれば、第2の絶縁層に形成された凹部の開口部分、容量素子用電極上における第2の絶縁層の研磨が省略でき、研磨時間が短縮される。さらに、凹部において、研磨パッドと第2の絶縁層の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり

、研磨残り、容量素子用電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【0037】

ここで、第2の絶縁層の凹部を、容量素子用電極上にのみ形成することが好ましい。

【0038】

この構成により、通常、配線パターン密度が低く、段差緩和が促進される金属配線部において、オーバー研磨による金属配線の剥離を防止でき、また、剥離した金属配線によるスクラッチの発生も抑止できる。

【0039】

また、導電層の表面が、Pt、Ir、Ru、それら金属の合金膜、又はそれら金属の酸化物であることが好ましい。

【0040】

この構成により、これらの材料はスクラッチが発生し易いことから、特に本発明の効果が顕著なものとなる。

【0041】

また、第2の絶縁層に凹部を形成するにあたり、ドライエッティングを用いることが好ましい。

【0042】

この構成により、第2の絶縁層において凹部の形成がさらに容易となる。

【0043】

また、第2の絶縁層に形成する凹部の深さを容量素子用電極の膜厚とほぼ同等とすることが好ましい。

【0044】

この構成により、第2の絶縁層の表面と容量素子用電極の表面が同じ高さで平坦になるまで研磨する時間を、ベタ膜の研磨速度で計算して見積もることができる。また、容量素子用電極の配線パターン密度や容量素子を複数個含む容量素子群の面積が研磨時間に与える影響を極力低減することも可能となる。

【0045】

また、第2の絶縁層に凹部を形成する際に、容量素子用電極を露出させることが好ましい。

【0046】

この構成により、容量素子用電極上の研磨残りがより確実に解消される。

【0047】

また、第2の絶縁層の凹部におけるテーパー角を90°未満とすることが好ましい。

【0048】

この構成により、レジストマスクのマスクズレに対するマージンを向上させることができ、容量素子用電極上に凹部をより確実に形成することができる。また、第2の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【0049】

また、第2の絶縁層を、 SiO_2 を用い、オゾンとTEOSを用いた常圧CVD法で成膜することが好ましい。

【0050】

この構成により、例えば、成膜にプラズマCVDを用いた場合に、プラズマ中の水素が下容量素子用電極に含まれるPtの触媒作用により下層の酸素バリアを還元させて容量素子用電極にダメージを与える弊害を生じることがなく、かつ、いわゆるセルフフローの効果により、成膜のみで容量素子用電極間における第2の絶縁層の凹部がなだらかになり、段差緩和を促進させることができる。

【0051】

また、第2の絶縁層における凹部の面積を、その下層の容量素子用電極の面積より大きくすることが好ましい。

【0052】

この構成により、第2の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【0053】

また、第2の絶縁層に凹部を形成するにあたり、容量素子用電極上の領域が複数個含まれるようにすることが好ましい。

【0054】

この構成により、第2の絶縁層の研磨量が低減し、研磨時間を短縮することができる。

【0055】

本発明の実施の形態について、以下、図面を参照しながら説明する。

【0056】

(実施の形態1)

図1に、本実施の形態における強誘電体メモリの製造工程の断面図（メモリセルアレイ部）を示す。以下、図1を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0057】

まず、図1(a)に示すように、半導体基板10上に、分離領域1を形成し、分離領域1の間に高濃度の不純物拡散層2を形成する。そして、分離領域1と不純物拡散層2の上に、 SiO_2 からなる層間絶縁膜4を形成し、層間絶縁膜4中に不純物拡散層2と電気的に接続したコンタクトプラグ3（タンゲステン製）を形成する。さらに、層間絶縁膜4とコンタクトプラグ3の上に、第1の導電膜5（窒化チタンバリア層〔厚さ：150nm〕と白金膜〔厚さ：150nm〕の積層体等）を形成する。

【0058】

次に、第1の導電膜5上にレジストパターンを形成し、図1(b)に示すように、レジストパターンをマスクとしてドライエッティングにより第1の導電膜5をパターニングし、コンタクトプラグ3上に下部電極6（高さ：300nm）を形成する。

【0059】

次いで、図1(c)に示すように、下部電極6と層間絶縁膜4をシリコン酸化膜(SiO_2)で被覆し、ウエハ全面に埋め込み用の絶縁膜8（高さ：400nm）を形成する。このように、CMPによる研磨時に段差緩和を促進させるため、下部電極6上に絶縁膜8の削りしろを形成することが好ましい。

【0060】

続いて、図1 (d) に示すように、レジストマスクを用いて下部電極6上に開口部を有するレジストパターン11を形成する。

【0061】

そして、図1 (e) に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッティングにより除去し、凹部12を形成する。ここで、凹部12の深さは、できるだけ深くすることが好ましい。これにより、絶縁膜8の研磨量を減らすことができ、また、段差緩和が促進され、配線パターン密度の低い領域との研磨速度との差が小さくなる。

【0062】

さらに、図1 (f) に示すように、CMPにより、絶縁膜8を研磨してその表面を平坦化し、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまで研磨する。

【0063】

続いて、図示は省略するが、その上に、容量絶縁膜となる強誘電体膜を形成し、さらにその上に、第2の導電膜（白金膜等）を形成する。そして、第2の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッティングにより第2の導電膜と強誘電体膜をそれぞれパターニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、保護膜形成工程を経て、強誘電体メモリが完成する。

【0064】

本実施の形態によれば、下部電極6上の絶縁膜8に凹部12を形成することにより、凹部12の開口部分、絶縁膜8の研磨が省略でき、研磨時間が短縮される。さらに、凹部12において、CMPの研磨パッドと絶縁膜8の接触面積が大きくなり（スラリーが凹部に入り込み、研磨パッドが下地に馴染むため、結果として接触面積が大きくなる。）、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、さらに、グローバル段差を低減することができる。

【0065】

（実施の形態2）

図2に、本実施の形態における強誘電体メモリの製造工程を示す。ここで、(A)は、メモリセルアレイ部の断面図を示し、(B)は、金属配線部の断面図を示す。以下、図2を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。ここで、図2(A)における(a)～(f)の工程は、図2(B)における(a)～(f)の工程にそれぞれ対応し、各工程は同時に進行している。

【0066】

まず、図2(a)に示すように、半導体基板10上のメモリセルアレイ部において、分離領域1を形成し、分離領域1の間に高濃度の不純物拡散層2を形成する。そして、分離領域1と不純物拡散層2の上に、 SiO_2 からなる層間絶縁膜4を形成し、層間絶縁膜4中に不純物拡散層2と電気的に接続したコンタクトプラグ3(タンクステン製)を形成する。さらに、層間絶縁膜4とコンタクトプラグ3の上に、第1の導電膜5(窒化チタンバリア層[厚さ: 150 nm]と白金膜[厚さ: 150 nm]の積層体等)を形成する。また、半導体基板10上の金属配線部において、半導体基板10上に、高濃度の不純物拡散層2を形成する。そして、不純物拡散層2上に、層間絶縁膜4を形成し、層間絶縁膜4上に、第1の導電膜5(窒化チタンバリア層[厚さ: 150 nm]と白金膜[厚さ: 150 nm]の積層体等)を形成する。

【0067】

次に、第1の導電膜5上にレジストパターンを形成し、図2(b)に示すように、メモリセルアレイ部において、レジストパターンをマスクとしてドライエッティングにより第1の導電膜5をパターニングし、コンタクトプラグ3上に下部電極6(高さ: 300 nm)を形成する。また、金属配線部において、第1の導電膜5上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッティングにより第1の導電膜5をパターニングし、金属配線7を形成する。

【0068】

次いで、図2(c)に示すように、メモリセルアレイ部において、下部電極6と層間絶縁膜4をシリコン酸化膜(SiO_2)で被覆する。また、金属配線部において、金属配線7と層間絶縁膜4をシリコン酸化膜(SiO_2)で被覆し、ウ

エハ全面に埋め込み用の絶縁膜8（高さ：400nm）を形成する。このように、CMPによる研磨時に段差緩和を促進させるため、下部電極6上に絶縁膜8の削りしろを形成することが好ましい。

【0069】

続いて、図2（d）に示すように、メモリセルアレイ部において、レジストマスクを用いて、下部電極6上に開口部を有するレジストパターン11を形成し、一方、金属配線部において、開口部のないレジストパターン11aを形成する。

【0070】

そして、図2（e）に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッチングにより除去し、凹部12を形成する。ここで、凹部12の深さは、できるだけ深くすることが好ましい。これにより、絶縁膜8の研磨量を減らすことができ、また、段差緩和が促進され、配線パターン密度の低い領域との研磨速度との差が小さくなる。なお、金属配線7上の絶縁膜8には凹部12は形成されない。

さらに、図2（f）に示すように、CMPにより、絶縁膜8を研磨してその表面を平坦化し、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨する。ここで、図2（e）に示した工程において、凹部12の深さを適宜変更すれば、CMPによって、下部電極6と金属配線7を同等の研磨時間で露出させることができる。なお、金属配線7上には凹部12が形成されていないため、段差緩和が促進されず、図2（f）に示すように、金属配線7上に絶縁膜8が残存する場合があるが、これは、強誘電体メモリ特性に影響がないばかりか、むしろ、残存した方が剥離した金属配線7によるスクラッチを確実に抑止できるため、好ましい。

【0071】

続いて、図示は省略するが、その上に、容量絶縁膜となる強誘電体膜を形成し、さらにその上に、第2の導電膜（白金膜等）を形成する。そして、第2の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッチングにより第2の導電膜と強誘電体膜をそれぞれパターニングし、上部電極を形成する。その後、通常、キャパシタ層間絶縁膜を形成し、さらに、配線工程、

保護膜形成工程を経て、強誘電体メモリが完成する。

【0072】

本実施の形態によれば、通常、配線パターン密度が低く、段差緩和が促進される金属配線部において、オーバー研磨による金属配線7の剥離を防止でき、また、剥離した金属配線7によるスクラッチの発生も抑止できる。

【0073】

なお、実施の形態1と2において、絶縁膜8は、オゾンとTEOS (Tetra Ethyl Ortho Silicate) を用いた常圧CVD法で成膜することが好ましい。これにより、例えば、成膜にプラズマCVDを用いた場合に、プラズマ中の水素が、下部電極6に含まれるPtの触媒作用により下層の酸素バリアを還元させて下部電極6にダメージを与える弊害を生じることがなく、かつ、いわゆるセルフフローの効果により、成膜のみで段差緩和を促進させることができる。

【0074】

また、実施の形態1と2において、導電層の表面がPt、Ir、Ru、それら金属の合金膜、又はそれら金属の酸化物である場合は、これらの材料はスクラッチが発生し易いことから、本発明を適用すれば、特にその効果が顕著なものとなる。

【0075】

また、実施の形態1と2において、絶縁膜8に凹部12を形成するにあたり、ドライエッチングを用いると、凹部12の形成がさらに容易となるため、好ましい。ここで、エッチングガスとしては、例えば、Ar/C₄F₈/CH₂F₂/O₂の混合ガスを用い、エッチングの条件としては、圧力5Mpa、ソース出力2KW、バイアス出力2.2KWを採用することができる。

【0076】

(実施の形態3)

図3に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図3を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0077】

まず、図3 (a) に示すように、半導体基板10上に、分離領域1を形成し、分離領域1の間に高濃度の不純物拡散層2を形成する。そして、分離領域1と不純物拡散層2の上に、 SiO_2 からなる層間絶縁膜4を形成し、層間絶縁膜4中に不純物拡散層2と電気的に接続したコンタクトプラグ3(タンゲステン製)を形成する。さらに、層間絶縁膜4とコンタクトプラグ3の上に、第1の導電膜(窒化チタンバリア層[厚さ: 100 nm]と白金膜[厚さ: 200 nm]の積層体等)を形成する。次に、第1の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッティングにより第1の導電膜をパターニングし、コンタクトプラグ3上に下部電極6(高さ: 300 nm)を形成する。

【0078】

次に、図3 (b) に示すように、下部電極6及び層間絶縁膜4をシリコン酸化膜(SiO_2)で被覆し、ウエハ全面に埋め込み用の絶縁膜8(高さ: 400 nm)を形成する。このように、CMPによる研磨時に段差緩和を促進させるため、下部電極6上に絶縁膜8の削りしろを形成することが好ましい。

【0079】

次いで、図3 (c) に示すように、レジストマスクを用いて下部電極6上に開口部を有するレジストパターン11を形成する。

【0080】

続いて、図3 (d) に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッティングにより除去し、凹部12を形成する。ここで、凹部12の深さは、下部電極6の膜厚、すなわちCMPにより平坦化する段差とほぼ同等の300 nmとする。これにより、図中の矢印で示すように、凹部12の底面の高さと下部電極6が形成されていない領域の絶縁膜8の高さがほぼ等しくなる。

【0081】

そして、図3 (e) に示すように、CMPにより、絶縁膜8を研磨してその表面を平坦化し、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨する。

【0082】

本実施の形態によれば、実施の形態1及び2と同様な効果が得られる上、絶縁膜8の表面と下部電極6の表面が同じ高さで平坦になるまで研磨する時間を、ベタ膜の研磨速度で計算して見積もることができる。この結果、配線パターン密度やメモリセルアレイ部のアレイ面積が研磨時間に与える影響を極力低減することが可能となる上に、周辺回路部と研磨速度差がなくなるため、グローバル段差を低減することができる。

【0083】

(実施の形態4)

図4に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図4を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0084】

まず、図4(a)に示すように、半導体基板10上に、分離領域1を形成し、分離領域1の間に高濃度の不純物拡散層2を形成する。そして、分離領域1と不純物拡散層2の上に、 SiO_2 からなる層間絶縁膜4を形成し、層間絶縁膜4中に不純物拡散層2と電気的に接続したコンタクトプラグ3(タンゲステン製)を形成する。さらに、層間絶縁膜4とコンタクトプラグ3の上に、第1の導電膜(窒化チタンバリア層[厚さ: 100 nm]と白金膜[厚さ: 200 nm]の積層体等)を形成する。そして、第1の導電膜上にレジストパターンを形成し、レジストパターンをマスクとしてドライエッティングにより第1の導電膜をパターニングし、コンタクトプラグ3上に下部電極6(高さ: 300 nm)を形成する。

【0085】

次に、図4(b)に示すように、下部電極6及び層間絶縁膜4をシリコン酸化膜(SiO_2)で被覆し、ウエハ全面に埋め込み用の絶縁膜8(高さ: 400 nm)を形成する。このように、CMPによる研磨時に段差緩和を促進させるため、下部電極6上に絶縁膜8の削りしろを形成することが好ましい。

【0086】

次いで、図4(c)に示すように、レジストマスクを用いて下部電極6上に開口部を有するレジストパターン11を形成する。

【0087】

続いて、図4（d）に示すように、レジストパターン11の開口部における絶縁膜8の一部を、ドライエッティングにより下部電極6が露出するまで除去し、凹部12を形成する。

【0088】

そして、図4（e）に示すように、CMPにより、絶縁膜8を研磨してその表面を平滑にし、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨して平坦化する。

【0089】

本実施の形態によれば、実施の形態1及び2と同等の効果が得られる上、下部電極6の表面が凹部12を形成した際に既に露出しているので、下部電極6上の研磨残りがより確実に解消される。また、段差のみ平坦化され、通常のCMPのみでは電極が露出しないため、研磨時間を適宜変更すれば、スクラッチの発生をより確実に防止することができる。

【0090】

(実施の形態5)

図5に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図5を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0091】

ここで、図5（a）～図5（c）に示す断面図は、図4（a）～図4（c）に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【0092】

図5（c）に示す工程に続き、図5（d）に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッティングにより、形成される凹部12のテーパー角（凹部12の側壁と凹部の底面がなす角）が90°未満になるように除去し、凹部12を形成する。ここでは、例えば、アルゴンと酸素からなる混合ガスを用いてドライエッティングをする場合、異方性の高い反応を行うアル

ゴンの量を減らし、等方性の高い化学反応を行う酸素の量を高くすることにより、テーパー角を緩やかな方向へ制御することができる。

【0093】

そして、図5（e）に示すように、CMPにより、絶縁膜8を研磨してその表面を平滑にし、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨して平坦化する。

【0094】

本実施の形態によれば、実施の形態1及び2と同等の効果が得られる上、凹部12にテーパー角を設けることで、レジストマスクのマスクズレに対するマージンを向上させることができ、下部電極6上に凹部12をより正確に形成することができる。

【0095】

（実施の形態6）

図6に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図6を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0096】

ここで、図6（a）～図6（b）に示す断面図は、図4（a）～図4（b）に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【0097】

図6（b）に示す工程に続き、図6（c）に示すように、レジストマスクを用いて、開口部の面積が、下部電極6の面積より大きくなるように、下部電極6上有開口部を有するレジストパターン11を形成する。

【0098】

続いて、図6（d）に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッチングにより除去し、凹部12を形成する。これにより、凹部12の面積が、その下層の下部電極6の面積より大きくなる。

【0099】

そして、図6（e）に示すように、CMPにより、絶縁膜8を研磨してその表面を平滑にし、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨して平坦化する。

【0100】

本実施の形態によれば、実施の形態1及び2と同等の効果が得られる上、凹部12の開口部がさらに大きくなり、絶縁膜8の研磨量がさらに低減し、研磨時間を短縮することができる。

【0101】

（実施の形態7）

図7に、本実施の形態における強誘電体メモリの製造工程を示す。以下、図7を参照しながら、本実施の形態における強誘電体メモリの製造方法について説明する。

【0102】

ここで、図7（a）～図7（b）に示す断面図は、図4（a）～図4（b）に示した断面図と共通するため、該当箇所は同一の符号を付してその説明を省略する。

【0103】

図7（b）に示す工程に続き、図7（c）に示すように、レジストマスクを用いて、開口部に下部電極6上の領域が複数個含まれるように、開口部を有するレジストパターン11を、強誘電体メモリのセルプレートの方向に沿って形成する。

【0104】

続いて、図7（d）に示すように、レジストパターン11の開口部における絶縁膜8の一部をドライエッチングにより除去し、凹部12を形成する。これにより、凹部12に下部電極6上の領域が複数個含まれるようになる。この際、凹部12は、下部電極6が集積したメモリセルアレイ部等の、配線パターン密度が高く、研磨速度が遅い領域に形成すると、段差緩和が促進されるようになり、好ましい。

【0105】

そして、図7(e)に示すように、CMPにより、絶縁膜8を研磨してその表面を平坦化し、さらに、絶縁膜8と下部電極6を両者の表面が面一となるまでオーバー研磨する。

【0106】

本実施の形態によれば、実施の形態1及び2と同等の効果が得られる上、凹部12の開口部がさらに大きくなり、下部電極6上の絶縁膜8の研磨量が低減し、研磨時間を短縮することができる。

【0107】

(実施の形態8)

本実施の形態においては、実施の形態1における強誘電体メモリにおいて、メモリセルアレイ部のアレイ面積が、 $10,000 \sim 100,000 \mu\text{m}^2$ のものを用いる。

【0108】

図8に、アレイ面積(μm^2)と、下部電極6上における絶縁膜の残膜の膜厚又は下部電極6の周辺に発生するリセスとの関係をCMPによる研磨時間(30秒～75秒)別に示す。

【0109】

図8より、研磨時間を30秒から75秒まで変化させると、アレイ面積が $10,000 \mu\text{m}^2$ 及び $100,000 \mu\text{m}^2$ のメモリセルアレイでは、45秒で下部電極6(Pt)が露出することが判る。そして、45秒を超えると、研磨時間に応じたリセスが発生するが、アレイ面積が $100,000 \mu\text{m}^2$ を超え、 $1,000,000 \mu\text{m}^2$ となると、研磨時間が45秒では残膜の膜厚が40nm程度あり、段差緩和が促進されず、下部電極6が露出していないことが判る。

【0110】

本実施の形態によれば、強誘電体メモリにおいて、メモリセルアレイ部のアレイ面積が $10,000 \sim 100,000 \mu\text{m}^2$ であることで、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクランチの発生を抑制でき、グローバル段差を低減することができる。

【0111】

(実施の形態9)

本実施の形態においては、実施の形態1における強誘電体メモリにおいて、隣接するメモリセルアレイ部間の間隔Sが、 $10 \sim 100 \mu m$ のものを用いる。

【0112】

この間隔Sは、例えば、メモリセルをレイアウトする場合、チップ面積を増大させないため、センスアンプ部等の周辺回路部を適宜組み込むことによって設定することができる。

【0113】

図9に、研磨時間と下部電極6上の絶縁膜の残膜の膜厚との関係を間隔S別に示す。図9より、間隔S = $3.0 \mu m$ では、ほぼベタ膜の研磨速度で研磨され、段差緩和が殆ど促進されていないが、間隔S = $10 \mu m$ では、それよりさらに広い間隔S = $100 \mu m$ とほぼ同等の段差緩和特性が得られていることが判る。

【0114】

本実施の形態によれば、強誘電体メモリにおいて、隣接するメモリセルアレイ部間の間隔Sが、 $10 \sim 100 \mu m$ であることで、下部電極6上において、段差緩和が促進され、ウエハ全面で研磨速度が均一となり、研磨残り、下部電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【0115】

【発明の効果】

本発明によれば、容量素子の製造に当たり、容量素子用電極上の第2の絶縁層に凹部が形成されているため、凹部の開口部分、第2の絶縁層の研磨が省略でき、研磨時間が短縮される。さらに、容量素子用電極上において、研磨パッドと第2の絶縁層の接触面積が大きくなり、段差緩和が促進される。この結果、ウエハ全面で研磨速度が均一となり、研磨残り、容量素子用電極の剥離、及びスクラッチの発生を抑制でき、グローバル段差を低減することができる。

【図面の簡単な説明】

【図1】 実施の形態1における強誘電体メモリの製造方法を示す断面図

【図2】 実施の形態2における強誘電体メモリの製造方法を示す断面図

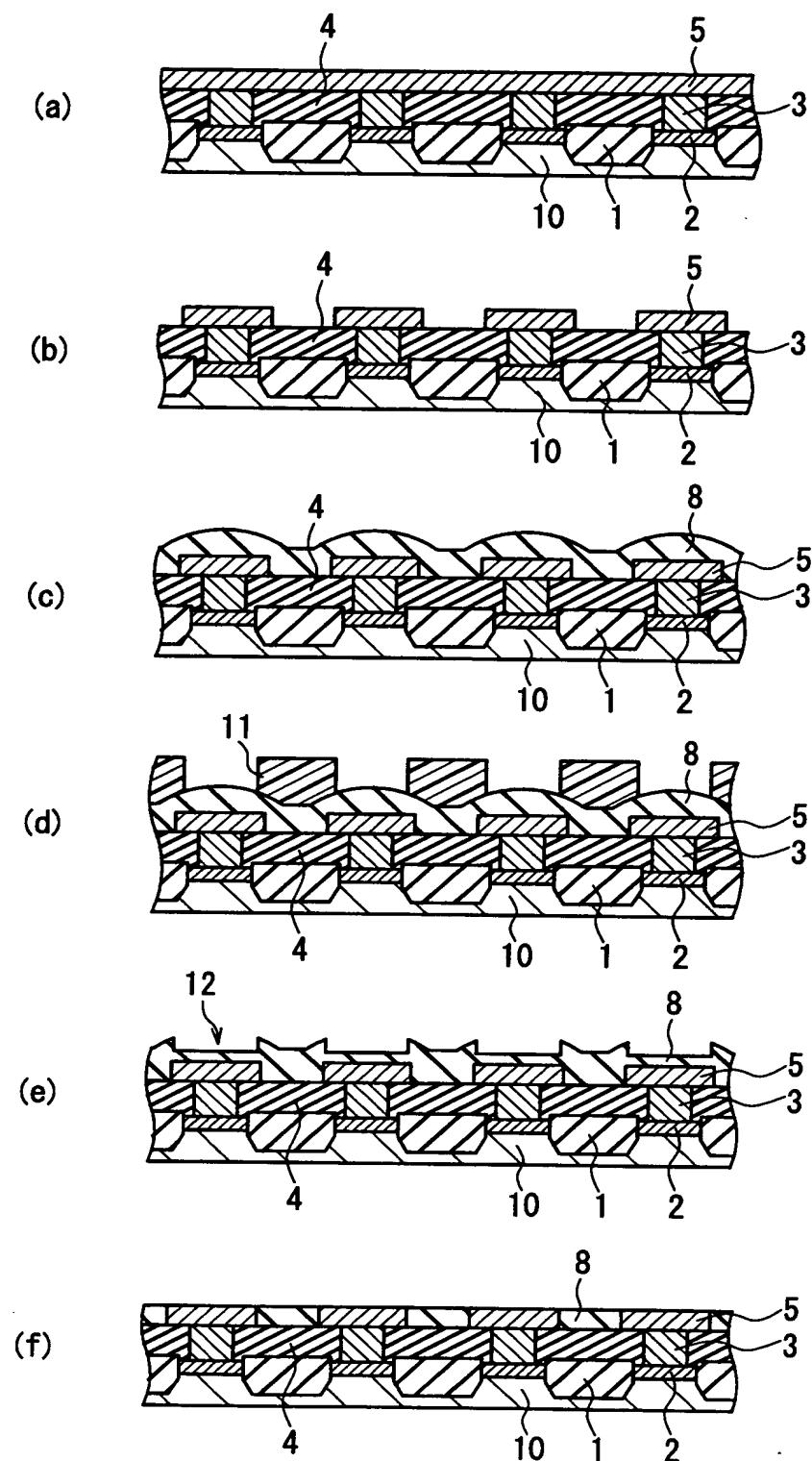
- 【図3】 実施の形態3における強誘電体メモリの製造方法を示す断面図
- 【図4】 実施の形態4における強誘電体メモリの製造方法を示す断面図
- 【図5】 実施の形態5における強誘電体メモリの製造方法を示す断面図
- 【図6】 実施の形態6における強誘電体メモリの製造方法を示す断面図
- 【図7】 実施の形態7における強誘電体メモリの製造方法を示す断面図
- 【図8】 アレイ面積と、下部電極上の絶縁膜の残膜の膜厚又は下部電極の周辺に発生するリセスとの関係を示すグラフ
- 【図9】 研磨時間と下部電極上の絶縁膜の残膜の膜厚との関係を示すグラフ
- 【図10】 従来の強誘電体メモリの製造方法を示す断面図（メモリセルアレイ部）
- 【図11】 従来の強誘電体メモリの製造方法を示す断面図（金属配線部）
- 【図12】 アレイ面積の異なるメモリセルアレイ部をCMPにより研磨した状態を示す模式図
- 【図13】 研磨時間と下部電極上の絶縁膜の残膜の膜厚との関係を示すグラフ

【符号の説明】

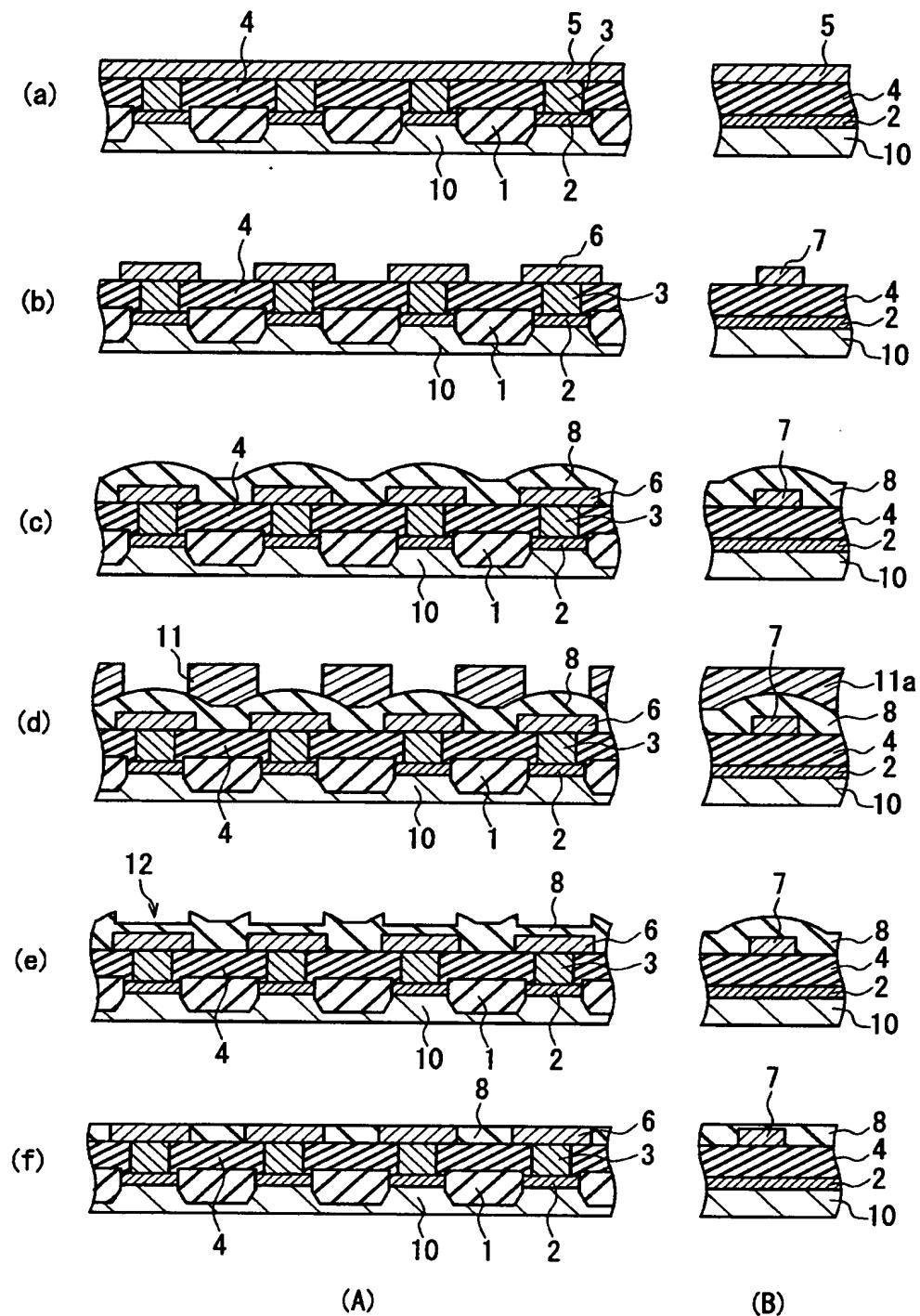
- 1 分離領域
- 2 不純物拡散層
- 3 コンタクトプラグ
- 4 層間絶縁膜
- 5 第1の導電膜
- 6 下部電極
- 7 金属配線
- 8 埋め込み用絶縁膜
- 9 容量絶縁膜
- 10 半導体基板
- 11、11a レジストパターン
- 12 凹部
- 20 第2の導電膜

【書類名】 図面

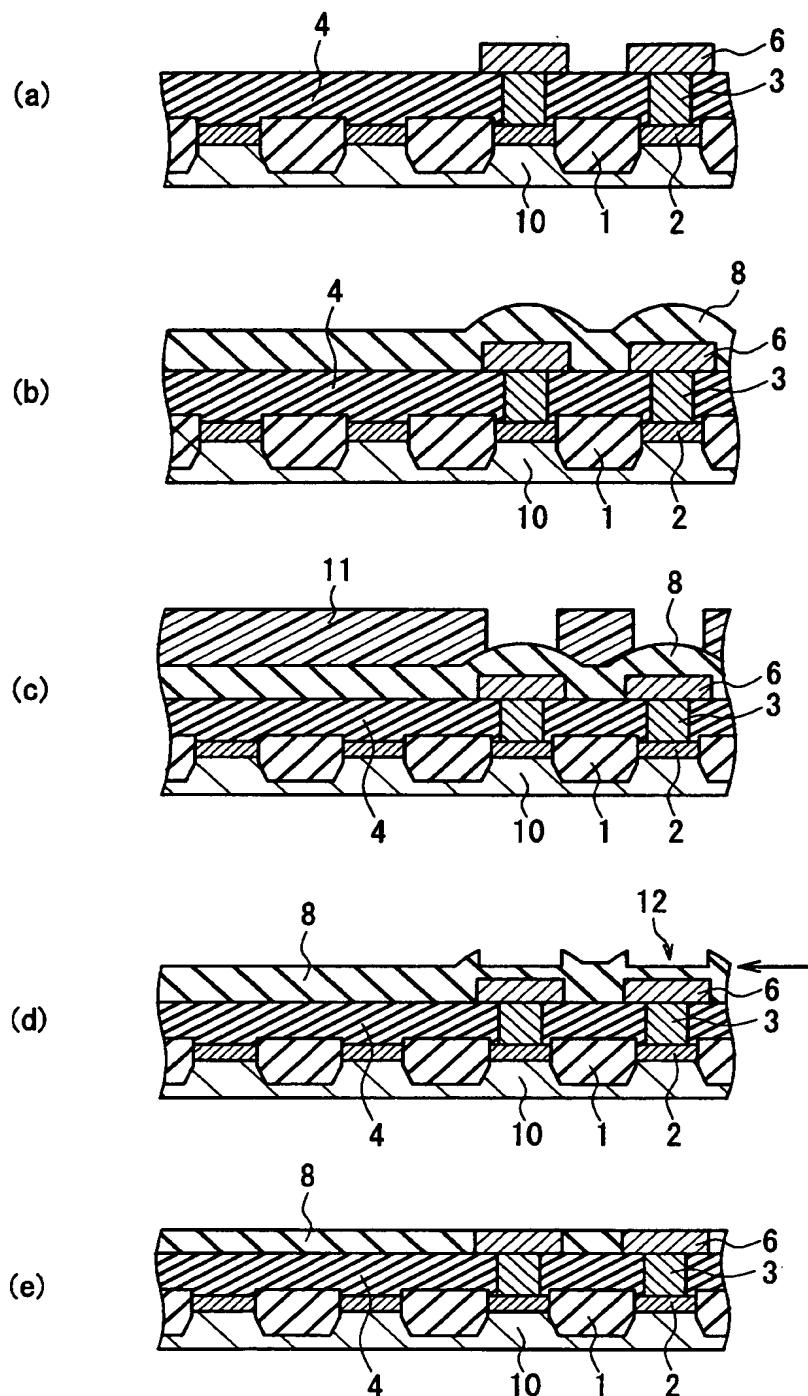
【図1】



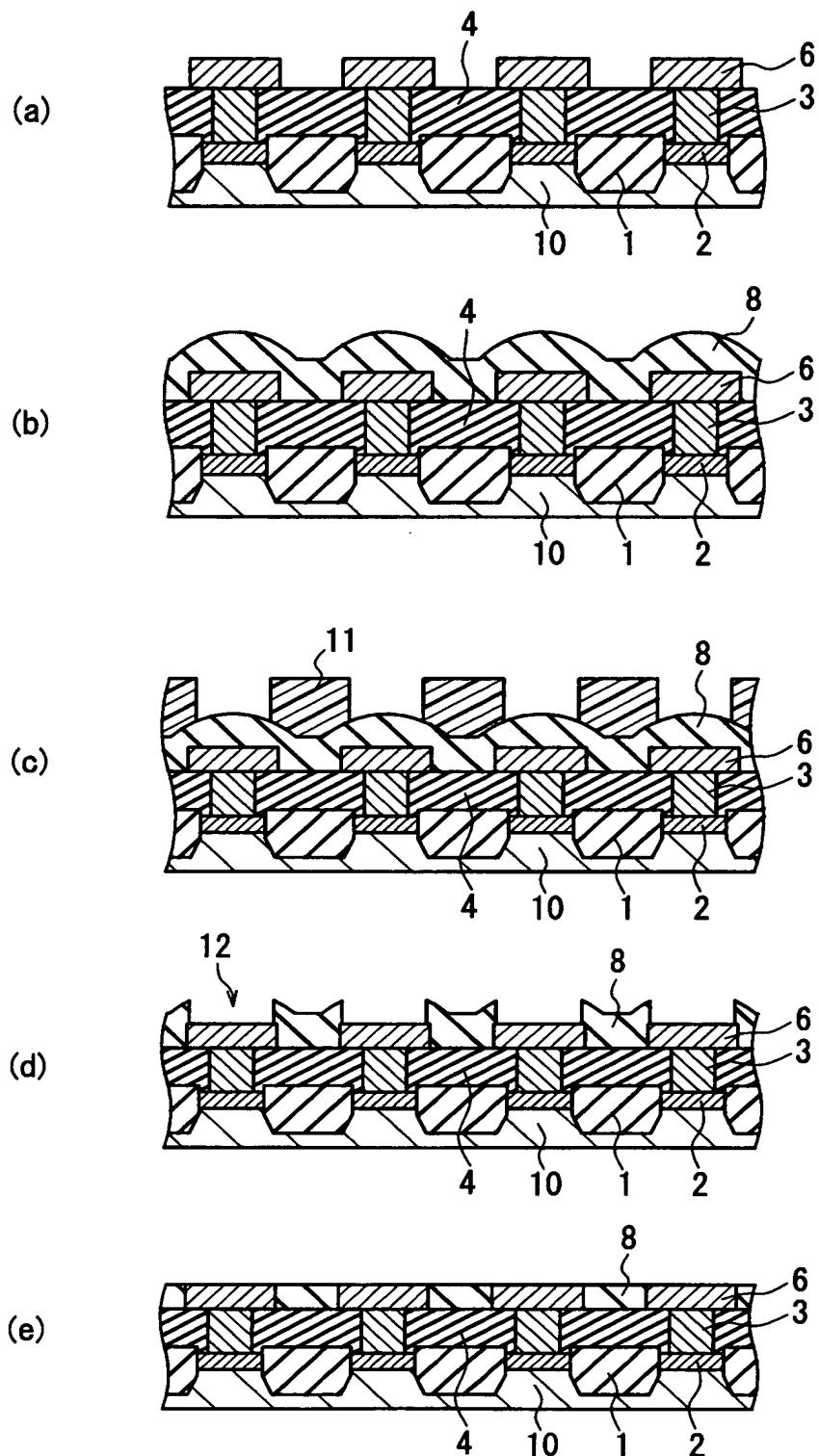
【図2】



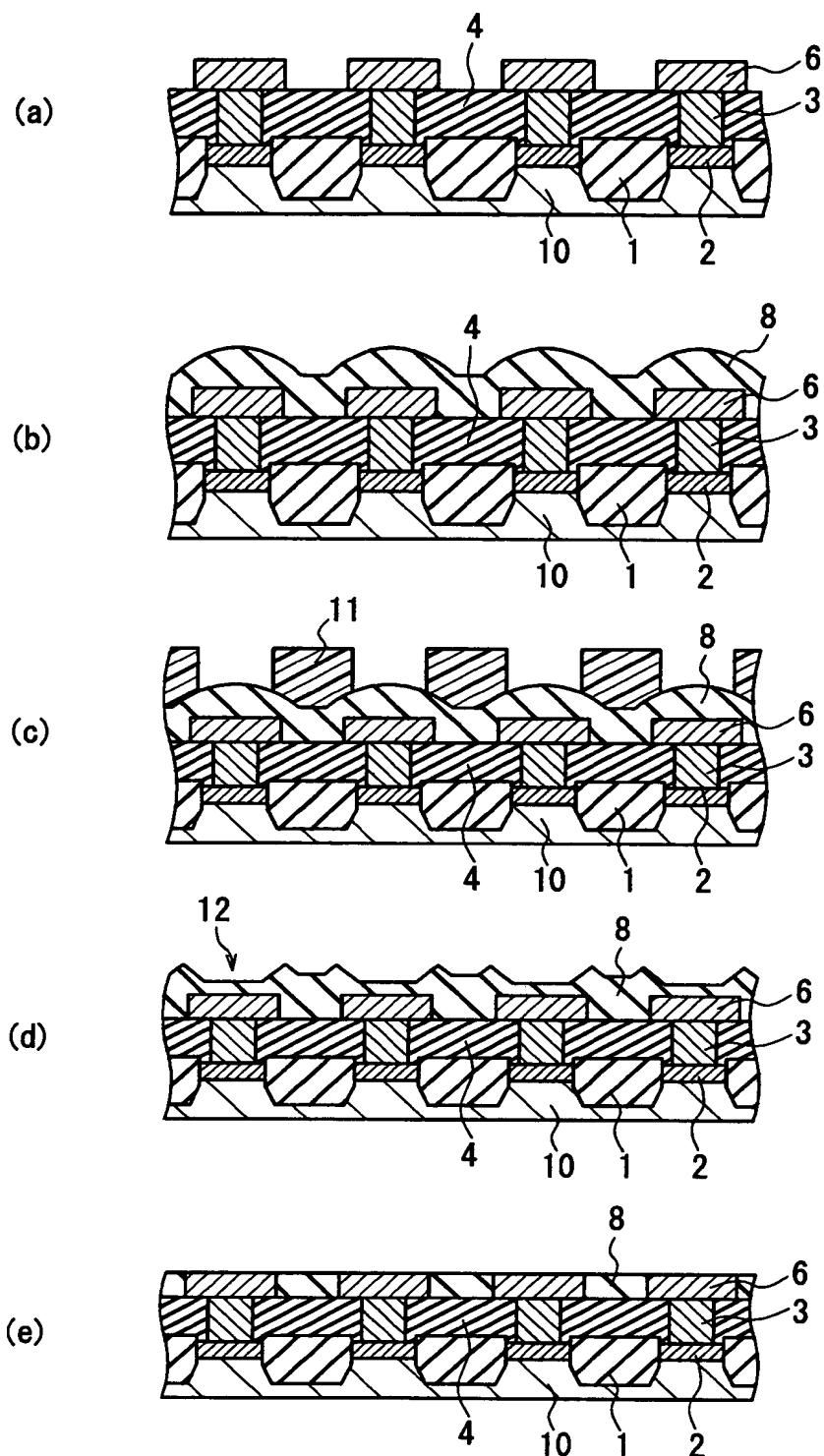
【図3】



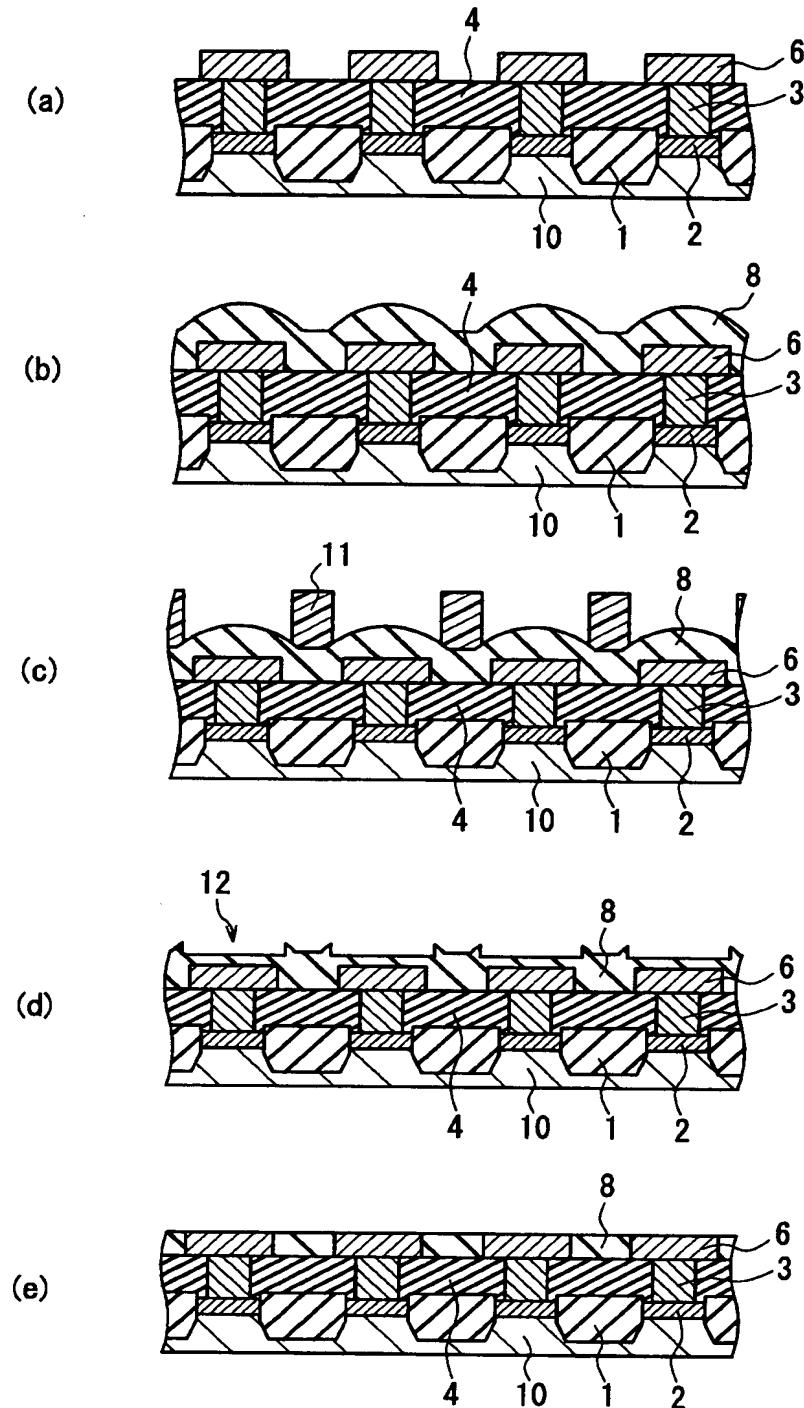
【図4】



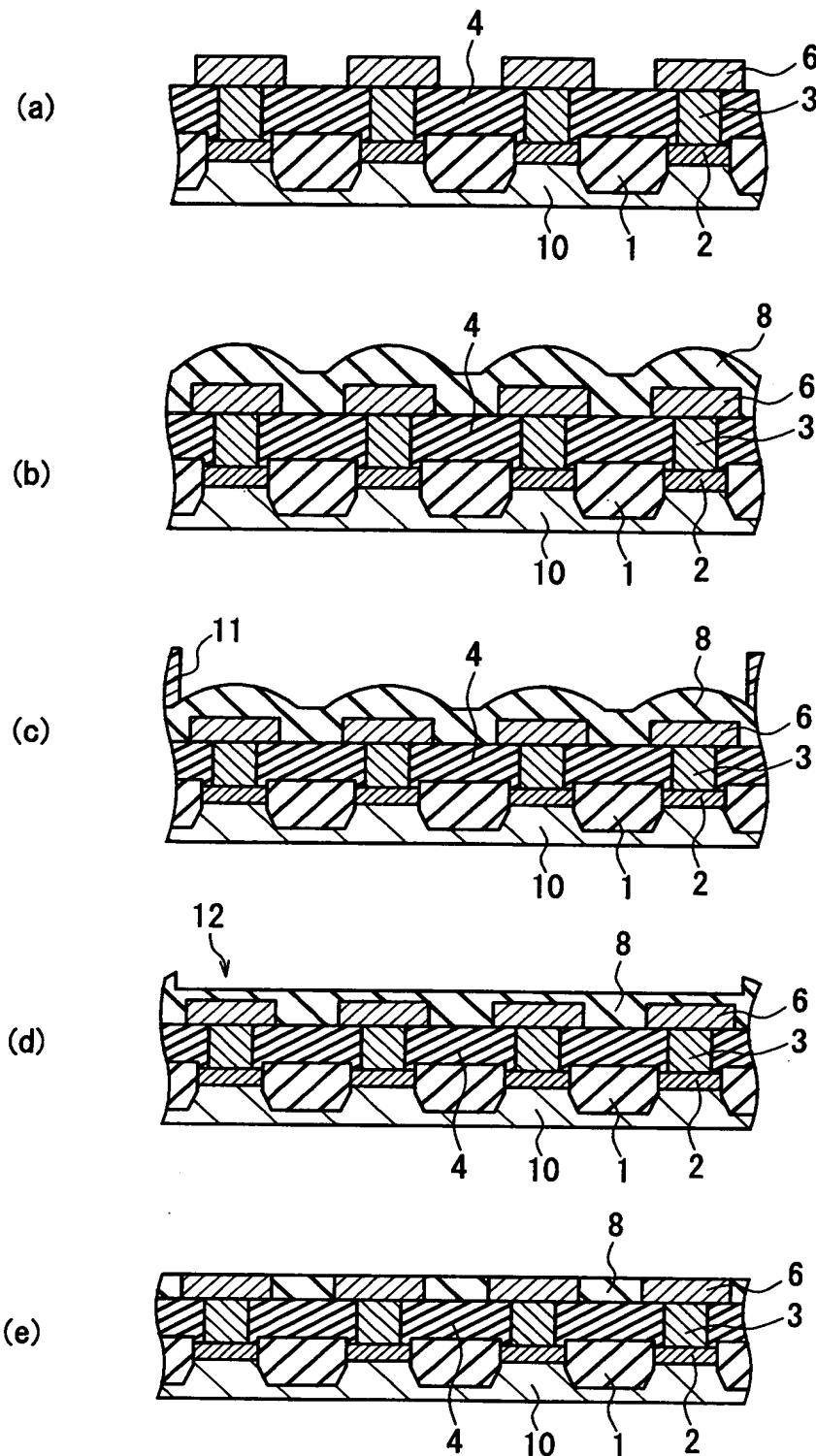
【図5】



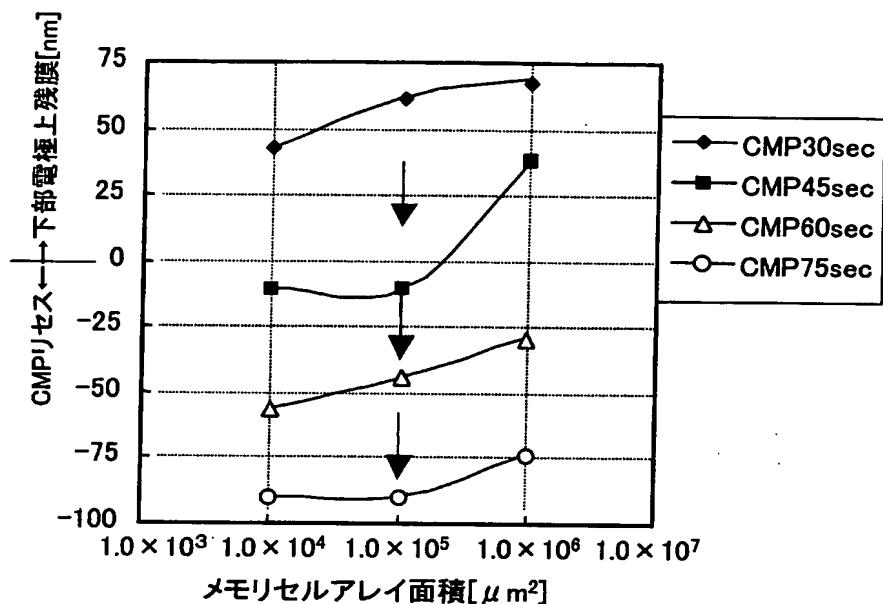
【図6】



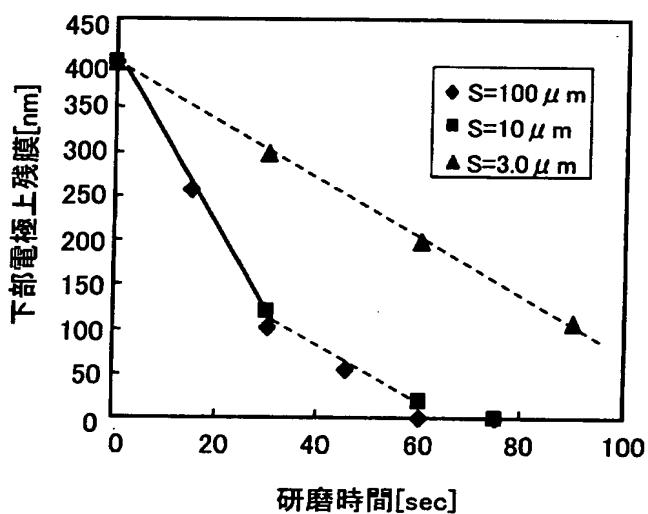
【図7】



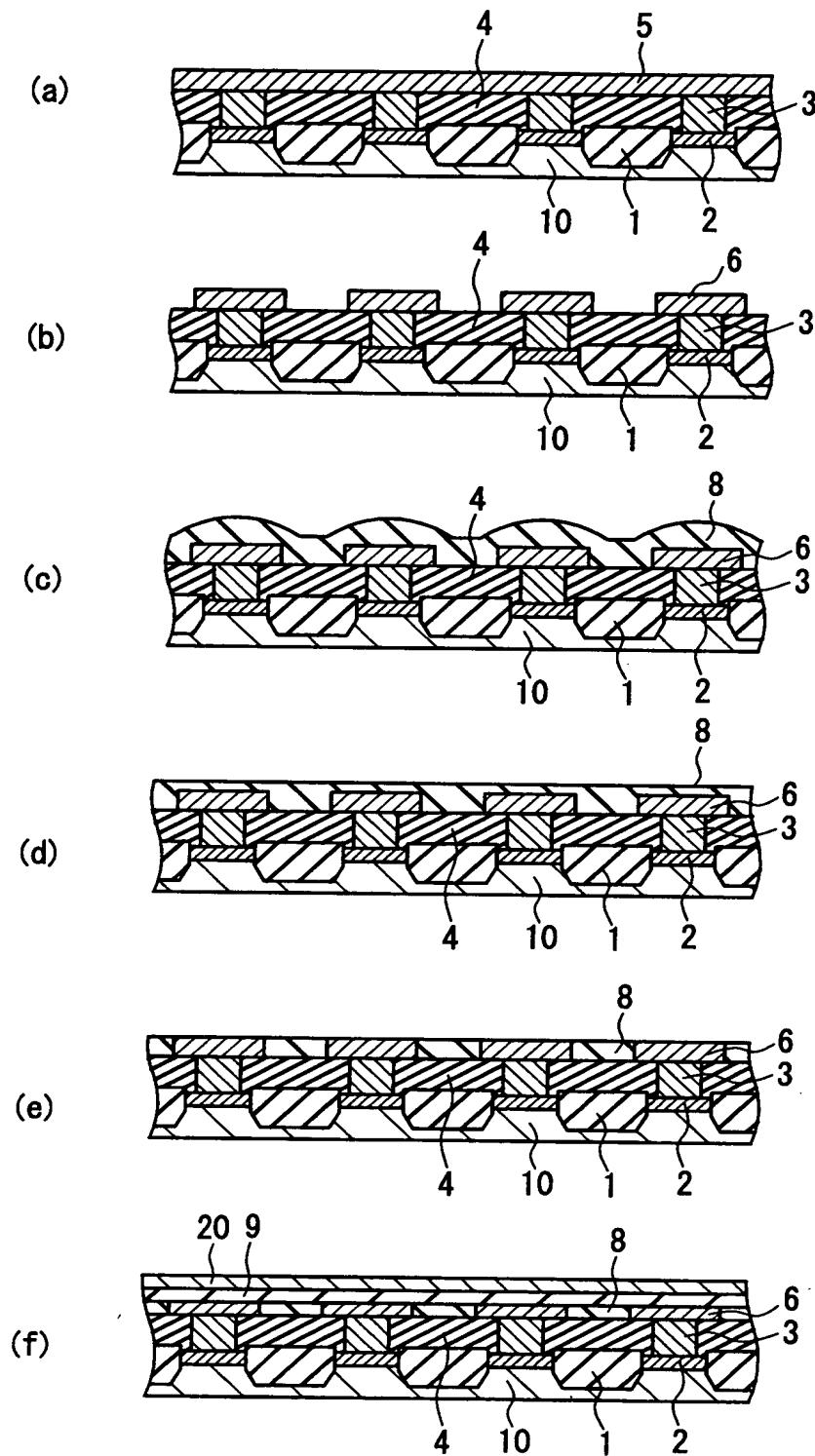
【図8】



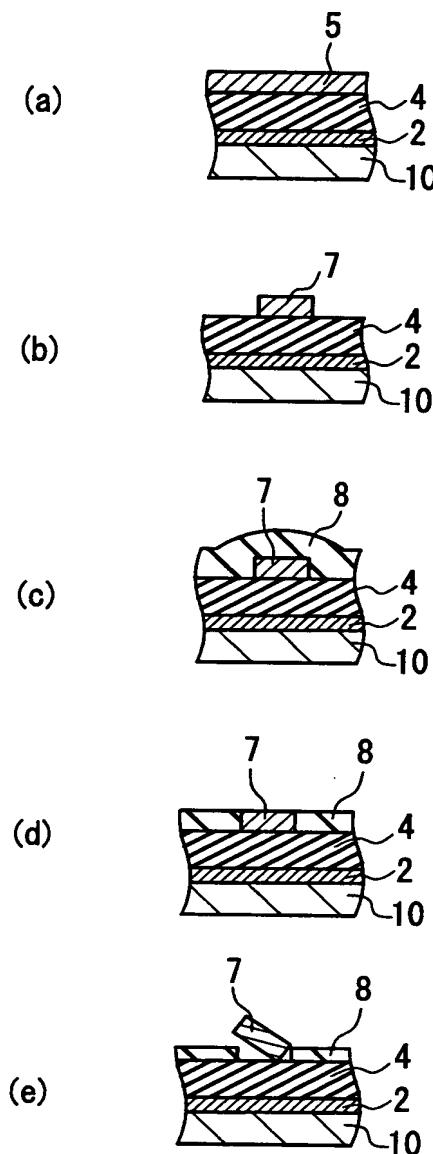
【図9】



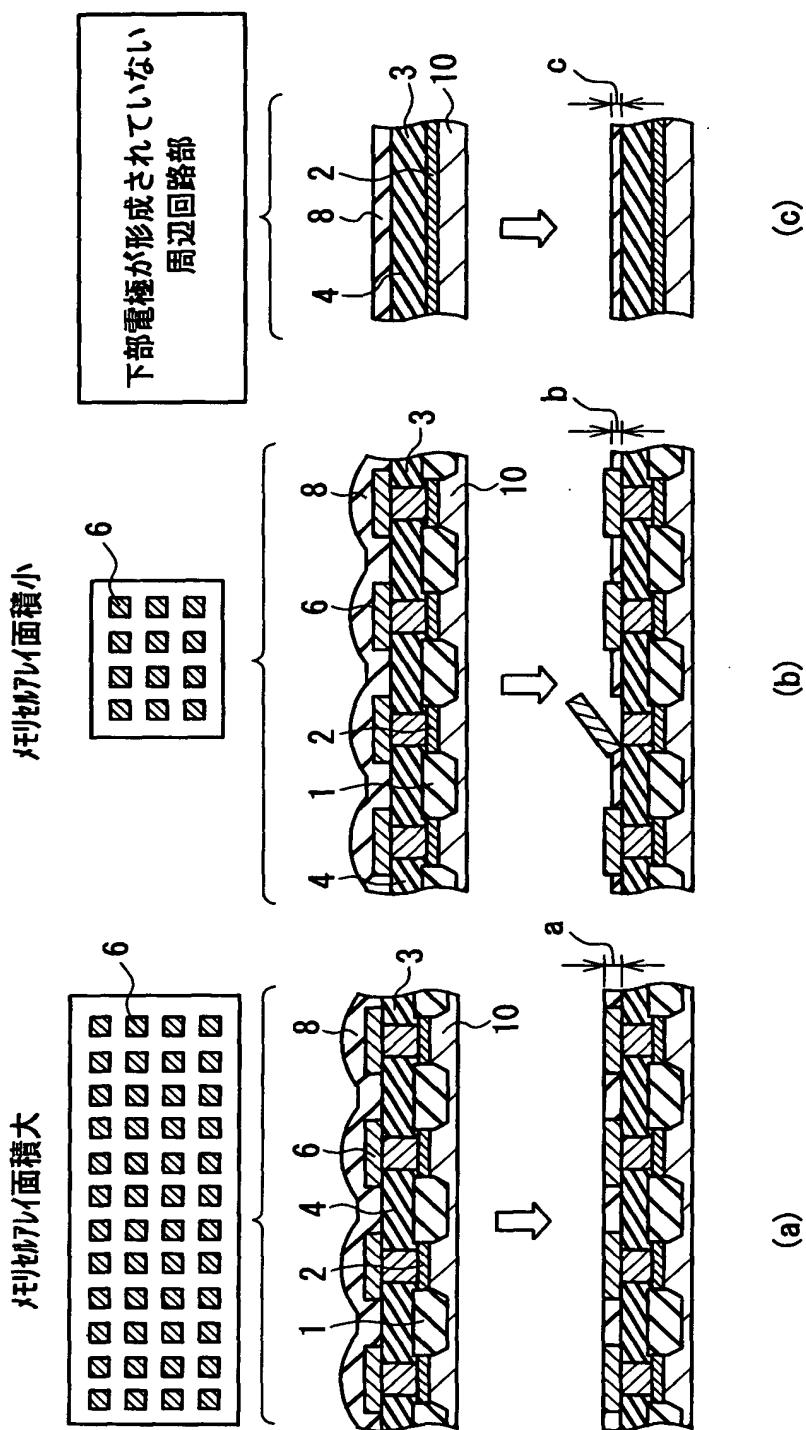
【図10】



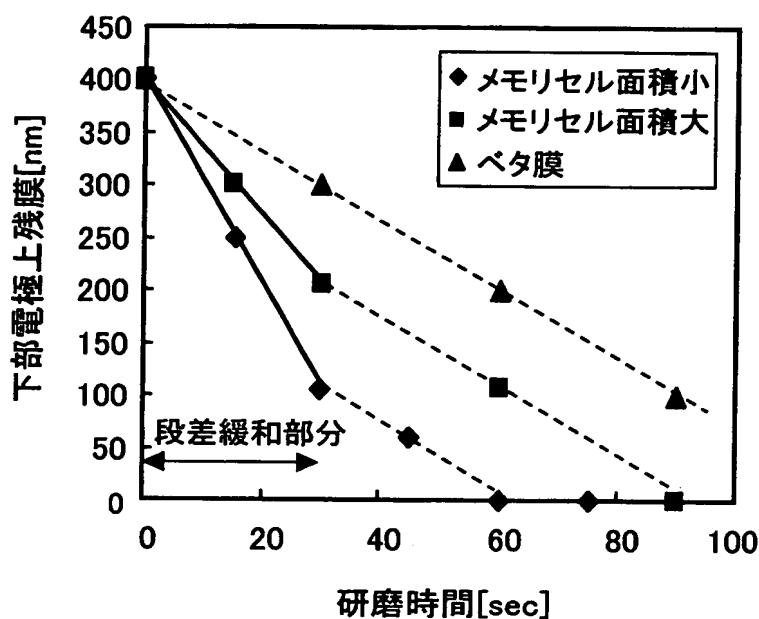
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 研磨残り、下部電極の剥離、及びスクラッチの発生がなく、データの保持信頼性が優れたものとなり、メモリ特性が安定する容量素子、及びグローバル段差を低減させ、生産歩留まりが良好となる容量素子の製造方法を提供する。

【解決手段】 基板10上に、第1の絶縁層1を形成し、第1の絶縁層1中にコンタクトプラグ3を形成し、第1の絶縁層1とコンタクトプラグ3の上に、導電層5を形成する工程と、導電層5をパターニングして、容量素子用電極6を形成する工程と、第1の絶縁層1及び容量素子用電極6上に第2の絶縁層8を形成する工程と、容量素子用電極1上の第2の絶縁層8に凹部12を形成する工程と、第2の絶縁層8を研磨して平坦化して容量素子用電極6を露出させる工程とを含む。

【選択図】 図2

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社